

---

(19)大韓民国特許庁(KR)  
(12)公開特許公報(A)

---

(51)int. cl.  
H01L 21/28

(11)公開番号 特 1998-015456  
(43)公開日付 1998 年 05 月 25 日

---

(21)出願番号 特 1996-034759  
(22)出願日付 1996 年 08 月 21 日

---

(71)出願人 三星電子株式会社  
(72)発明者 省略

審査請求 : 有り

---

(54) 出願名: 半導体装置の製造方法

---

要約

新規半導体装置の製造法が開示される。半導体基板上にアクティブ領域及び素子分離領域を形成した後、上記アクティブ領域上にパッドコンタクト及び埋没コンタクトを形成する。上記パッドコンタクトの各側壁上にコンタクトスペーサを形成し、上記コンタクトらを埋込するコンタクト配線を形成する。上記コンタクトを保護するブリッジパターンを付けたゲートバーパターンを用いてゲートを形成する。ゲートとコンタクトと間の接触現状を防止して円滑な回路動作ができるようにする。

以下省略

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 21/28

(11) 공개번호 특1998-015456  
(43) 공개일자 1998년05월25일

(21) 출원번호	특1996-034759
(22) 출원일자	1996년08월21일
(71) 출원인	삼성전자 주식회사 김광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 김도형
(74) 대리인	서울특별시 은평구 녹번동 105-18 이명필, 권석훈, 정상빈

심사청구 : 있음

(54) 반도체장치의 제조방법

요약

신규한 반도체 장치의 제조방법이 개시된다. 반도체 기판 상에 액티브영역 및 소자분리영역을 형성한 후, 상기 액티브영역 상에 패드콘택 및 매몰콘택을 형성한다. 상기 패드콘택 및 매몰콘택의 각 측벽 상에 콘택스페이서를 형성하고, 상기 콘택들을 매립하는 콘택배선을 형성한다. 상기 콘택을 보호하는 브리지 패턴을 덧붙인 게이트바 패턴을 이용하여 게이트를 형성한다. 게이트와 콘택간의 접촉현상을 방지하여 원활한 회로동작을 할 수 있도록 한다.

도표도

도5

영세서

도면의 간단한 설명

도 1은 종래방법에 의해 제조된 반도체장치의 셀 머레이 구조를 도시한 수직 단면도.

도 2a, 도 2b, 도 3, 도 4a, 도 4b, 도 4c, 도 5, 도 6은 본 발명에 의한 반도체장치의 제조방법을 설명하기 위한 단면도들.

도면의 주요부분에 대한 부호의 설명

- 10 ... 반도체기판 11 ... 액티브영역
- 12 ... 소자분리영역 13 ... 게이트산화막
- 15 ... 게이트용 도전층 18 ... 장벽층
- 20 ... 콘택스페이서 22 ... 콘택배선
- 24 ... 게이트바 패턴 25 ... 브리지 패턴
- 26 ... 제1 층간절연막 28 ... 비트라인
- 30 ... 제2 층간절연막 32 ... 스토리지전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조방법에 관한 것으로, 특히 브리지 패턴(bridge pattern)을 사용하여 콘택공정의 마진을 증가시켜 다른 도전층과 콘택과의 접촉현상을 방지할 수 있는 반도체장치의 제조방법에 관한 것이다.

반도체 기술이 발달할수록 칩은 고집적화되고, 디자인 사이즈는 축소하려는 노력이 진행되고 있다. 더욱이, 반도체장치가 고집적화됨에 따라 배선의 넓이(width) 뿐만 아니라 배선과 배선 사이의 간격(space)도 현저하게 감소하고 있고, 여러층의 도전층을 사용하는 메모리장치에서는 층간절연막에 의해 도전층과 도전층 사이의 높이가 더욱 높아져서 도전층들 간에 콘택을 형성하는 공정이 매우 어려워진다. 특히, 메모리셀과 같이 디자인 룰(design rule)에 여유가 없고 같은 형태의 패턴이 반복되는 경우, 셀 영역에 게이

트, 비트라인 및 캐패시터를 형성하기 위한 공정은 현재 기술로는 해결하기 어렵다. 현 공정상, 집적도를 증가시키기 위하여 전체적으로 셀의 사이즈가 감소되면서 소자형성영역, 즉 액티브영역이 좁아지게 되었다. 따라서, 액티브영역에 형성될 게이트, 패드콘택, 매몰콘택(buried contact; BC) 등도 작은 사이즈의 패턴을 원하게 되었다.

도 1은 종래방법에 의해 제조된 반도체 메모리장치의 셀 어레이 구조를 도시한 수직 단면도이다. 여기서, 참조부호 10은 반도체기판, 12는 소자분리영역, 13은 게이트산화막, 17은 게이트, 19a 및 19b는 게이트캡핑막 및 스페이서, 21은 패드전극, 28은 비트라인, 그리고 30은 캐패시터의 스토리지전극을 각각 나타낸다. 또한, h1은 매몰콘택을, h2는 패드콘택을 각각 나타낸다.

도 1을 참조하면, 트랜지스터의 드레인영역(도시되지 않음)과 비트라인(28)을 접속시키기 위한 패드콘택(h2) 및 트랜지스터의 소오스영역(도시되지 않음)과 스토리지전극(30)을 접속시키기 위한 매몰콘택(h1)이 워드라인(게이트; 17) 및 비트라인(28) 각각의 사이에 형성되기 때문에, 포토공정시 미스알라인(misalignment) 및 과도식각(overetch) 등이 문제된다. 즉, 상기 패드콘택(h2) 및 매몰콘택(h1)이 좁은 영역에 형성되어야 하기 때문에 포토공정시의 마진이 적어져서, 작은 미스알라인에 의해서도 상기 콘택들(h1, h2)이 액티브영역을 벗어나거나 게이트(17)와 접촉(touch)될 가능성이 높아진다.

이러한 문제를 해결하기 위하여, 셀프알라인(self-alignment) 방식으로 콘택을 형성하는 방법이 제시되었는데, 이는 주변구조물의 단차를 이용하여 콘택을 형성하는 것으로서, 주변구조물의 높이, 콘택이 형성될 위치에서의 절연물질의 두께 및 식각방법 등에 의해 다양한 크기의 콘택을 마스크의 사용없이 얻을 수 있다. 그러나, 식각선택비, 식각제(etcher) 등의 문제로 인하여 여전히 불완전한 공정으로 남아있다.

만일, 미스알라인에 의해 패드콘택이나 매몰콘택이 게이트와 접촉된다면, 트랜지스터의 동작에 이상을 유발하게 되며, 캐패시터 또한 제대로 동작하지 못할 수 있다. 실제 공정을 진행한 실험 데이터에 의하면, 미스알라인에 의한 콘택과 다른 도전층간의 접촉현상은 소자의 회로 동작에 있어서, 대부분의 누설경로(leakage path)로 측정되고 있으며, 싱글 비트(single bit)의 원인이 된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 상술한 문제점을 해결하기 위한 것으로 액티브영역을 형성한 후 콘택을 먼저 형성하고 게이트 등의 패턴을 형성함으로써 콘택과 다른 도전층과의 접촉현상을 방지할 수 있는 반도체장치의 제조방법을 제공하는데 있다.

#### 발명의 구성 및 작용

상기 과제를 이루기 위하여 본 발명에 의한 반도체장치의 제조방법은, 반도체기판 상에 액티브영역 및 소자분리영역을 형성하는 단계; 상기 액티브영역 상에 패드콘택 및 매몰콘택을 형성하는 단계; 상기 패드콘택 및 매몰콘택의 각 측벽 상에 콘택스페이서를 형성하고, 상기 콘택들을 매립하는 콘택배선을 형성하는 단계; 및 상기 콘택을 보호하는 브리지 패턴을 덧붙인 게이트바 패턴을 이용하여 게이트를 형성하는 단계를 구비하는 것을 특징으로 한다.

상기 액티브영역은 T형으로 형성하는 것이 바람직하다.

상기 액티브영역 상에 패드콘택 및 매몰콘택을 형성하는 단계 전에, 상기 기판 전면에 게이트산화막 및 게이트용 도전층을 차례로 형성하는 단계를 더 구비한다.

상기 패드콘택 및 매몰콘택은 게이트 사이즈를 고려하여 최대한의 사이즈로 형성하는 것이 바람직하다.

상기 콘택배선은 폴리실리콘으로 형성하는 것이 바람직하다.

상기 게이트를 형성하는 단계 후, 상기 결과물 전면에 제1 층간절연막을 형성하는 단계; 상기 제1 층간절연막을 일부 식각하여 비트라인 콘택을 형성한 후, 비트라인을 형성하는 단계; 상기 결과물 전면에 제2 층간절연막을 형성하는 단계; 및 상기 제2 층간절연막 및 제1 층간절연막을 일부 식각하여 캐패시터 콘택을 형성한 후, 스토리지전극, 유전체막 및 플레이트전극으로 이루어진 캐패시터를 형성하는 단계를 더 구비한다.

이하, 첨부한 도면을 참조하여 본 발명에 의한 바람직한 실시예를 상세히 설명하고자 한다.

도 2 내지 도 6은 본 발명에 의한 반도체장치의 제조방법을 설명하기 위한 단면도들이다.

도 2a 및 2b는 액티브영역(11) 및 소자분리영역(12)을 형성하는 단계를 도시한 것으로, 도 2b는 T형 액티브영역(11)의 레이아웃도이다. 반도체 기판(10) 상에 통상의 소자분리공정, 예컨대 선택적 폴리실리콘 산화공정(SEPOX) 또는 트렌치 소자분리공정을 실시하여 소자분리영역(12)을 형성함과 동시에, 액티브영역(11)을 형성한다. 본 실시예에서는, 트렌치 소자분리에 의한 버티컬 구조를 기본으로 하며, 액티브영역(11)은 도 2b에 도시된 바와 같이 T-자형 액티브를 사용한다.

도 3은 게이트산화막(13) 및 게이트용 도전층(15)을 형성하는 단계를 도시한다. 상기 소자분리영역(12)이 형성된 기판(10) 전면에 산화공정을 진행하여 게이트산화막(13)을 형성한 후, 그 위에 게이트 형성을 위한 도전층(15)으로, 예컨대 폴리실리콘 및 텅스텐 실리사이드(TSiX)를 차례로 증착한다. 이때, 상기 도전층(15)은 다음 절절로 형성하여도 무방하다. 이어서, 상기 도전층(15) 상에 게이트 보호를 위한 장벽층(18)으로, 예컨대 실리콘질화막(SiN)이나 고온산화막(HfO<sub>2</sub>)을 증착한다.

도 4a 내지 4c는 매몰콘택(h1) 및 패드콘택(h2)을 형성하는 단계를 도시한 것으로, 도 4a는 도 4c의 AA'선에 따른 단면도이고, 도 4b는 도 4c의 BB'선에 따른 단면도이며, 도 4c는 액티브영역(11), 매몰콘택(h1) 및 패드콘택(h2)의 레이아웃도이다. 포토리소그래피 공정으로 상기 액티브영역(11) 상의 장벽층(18), 도전층(15) 및 게이트산화막(13)을 차례로 식각함으로써, 후속공정에서 형성될 트랜지스터의 드레인영역과 비트라인을 접속시키기 위한 패드콘택(h2) 및 트랜지스터의 소오스영역과 스토리지전극을 접속시

키기 위한 매몰콘택(h1)을 도 4c에 도시된 바와 같은 패턴으로 형성한다. 이때, 상기 콘택들(h1, h2)의 사이즈는 후속공정에서 형성될 게이트바(gate bar)에 대한 마진을 고려하여 도 4c의 AA'선으로는 약간의 간격을 두고, BB'선으로는 액티브영역에서 벗어나지 않는 한 최대한 패턴닝한다. 이어서, 상기 콘택들(h1, h2)이 형성된 결과를 전면에 절연물질을 증착한 후, 이를 이방성 식각하여 상기 콘택들(h1, h2)의 각 측벽 상에 콘택스페이서(20)를 형성한다. 이때, 상기 콘택스페이서(20)는 콘택이 허용하는 한 두껍게 형성하여도 무방하다. 다음에, 상기 콘택 스페이서(20)가 형성된 결과를 전면에 도전물질, 예컨대 폴리실리콘을 증착한 후 이를 에치백(etch back)하여 상기 콘택들(h1, h2)을 매립하는 콘택배선(22)을 형성한다.

도 5는 게이트바 패턴(24) 및 브리지 패턴(25)의 레이아웃도이다. 상술한 바와 같이 콘택배선(22)을 형성하는 공정을 진행한 후, 상기 콘택들(h1, h2) 사이에 게이트를 형성한다. 이때, 상기 게이트는 이미 형성된 콘택들(h1, h2)을 보호하면서 서로 전기적으로 분리되기 위하여, 도시된 바와 같이 콘택식각을 방지하기 위한 브리지 패턴(25)을 덧붙인 형태의 게이트바 패턴(24)으로 형성한다. 상기 브리지 패턴(25)은 게이트 형성을 위한 식각공정시 상기 콘택들(h1, h2) 부분에 채워진 콘택배선(22)을 보호하며, 게이트와 콘택 사이의 단락(short) 현상을 방지하는 역할을 한다.

도 6은 비트라인(28) 및 캐패시터를 형성하는 단계를 도시한다. 상술한 바와 같이 게이트를 형성하는 공정을 진행한 후, 통상의 이온주입공정에 의해 트랜지스터의 소오스 및 드레인영역(도시되지 않음)을 형성한다. 이어서, 상기 결과를 전면에 제1 중간절연막(26)을 형성한 후, 이를 일부 식각하여 드레인영역 상에 형성되어 있는 콘택배선, 즉 패드콘택(h2)을 채우고 있는 콘택배선을 노출시키는 비트라인 콘택을 형성한다. 이어서, 결과를 전면에 비트라인용 도전층 및 비트라인 패딩막(29)을 차례로 증착한 후, 이를 포토리소그라피 공정으로 패턴닝하여 비트라인(28)을 형성한다. 계속해서, 상기 결과를 전면에 제2 중간절연막(30)을 형성한 후, 상기 제2 중간절연막(30) 및 제1 중간절연막(26)을 일부 식각하여 소오스영역 상에 형성되어 있는 콘택배선, 즉 매몰콘택(h1)을 채우고 있는 콘택배선을 노출시키는 캐패시터 콘택을 형성한다. 이어서, 통상적인 캐패시터 제조공정을 진행하여 스토리지전극(32), 유전체막 및 플레이트전극(도시되지 않음)으로 이루어진 캐패시터를 형성한다.

#### 발명의 효과

상술한 바와 같이 본 발명에 의한 반도체장치의 제조방법에 의하면, 다음과 같은 효과들을 얻을 수 있다.

첫째, 게이트 형성 후 패드콘택 및 매몰콘택을 형성하는 종래방법에 비해, 액티브영역을 형성한 후 바로 상기 콘택들을 형성하기 때문에, 콘택형성을 위한 포토공정시 미스얼라인 마진을 증가시켜 액티브영역에서 콘택이 벗어나는 문제를 최소화할 수 있다.

둘째, 패드콘택 및 매몰콘택 형성을 위한 공정시, 콘택 사이즈를 최대한 넓게 할 수 있어 작은 사이즈의 콘택에 의한 포토공정 및 식각공정의 부담을 줄일 수 있다.

셋째, 패드콘택 및 매몰콘택을 형성한 후 상기 콘택들을 브리지 패턴으로 막아주면서 게이트를 형성하기 때문에, 게이트와 콘택간의 접촉현상을 줄일 수 있다. 따라서, 게이트와 콘택간의 접촉 및 콘택의 과도식각으로 인해 야기되는 접합누설 및 접합약화(junction weak) 현상 등을 방지할 수 있다. 또한, 콘택 사이즈를 최대한 크게 하면서 식각공정이 아닌 포토공정에 의한 브리지 패턴으로 콘택과 게이트와의 단락을 방지할 수 있기 때문에, 종래의 셀프얼라인 콘택에서 야기되었던 식각선택비, 식각제 등의 문제를 해결할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

반도체기판 상에 액티브영역 및 소자분리영역을 형성하는 단계;

상기 액티브영역 상에 패드콘택 및 매몰콘택을 형성하는 단계;

상기 패드콘택 및 매몰콘택의 각 측벽 상에 콘택스페이서를 형성하고, 상기 콘택들을 매립하는 콘택배선을 형성하는 단계; 및

상기 콘택을 보호하는 브리지 패턴을 덧붙인 게이트바 패턴을 이용하여 게이트를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

##### 청구항 2

제1항에 있어서, 상기 액티브영역은 T형으로 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

##### 청구항 3

제1항에 있어서, 상기 액티브영역 상에 패드콘택 및 매몰콘택을 형성하는 단계 전에, 상기 기판 전면에 게이트산화막 및 게이트용 도전층을 차례로 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

##### 청구항 4

제1항에 있어서, 상기 패드콘택 및 매몰콘택은 게이트 사이즈를 고려하여 최대한의 사이즈로 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

##### 청구항 5

제1항에 있어서, 상기 콘택배선은 폴리실리콘으로 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 6**

제1항에 있어서, 상기 게이트를 형성하는 단계 후,

상기 결과를 전면에 제1 층간절연막을 형성하는 단계;

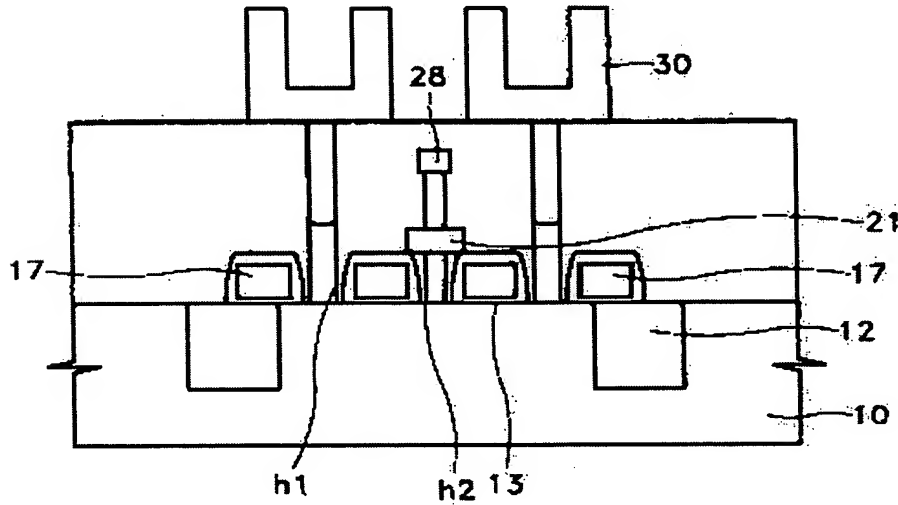
상기 제1 층간절연막을 일부 식각하여 비트라인 콘택을 형성한 후, 비트라인을 형성하는 단계;

상기 결과를 전면에 제2 층간절연막을 형성하는 단계; 및

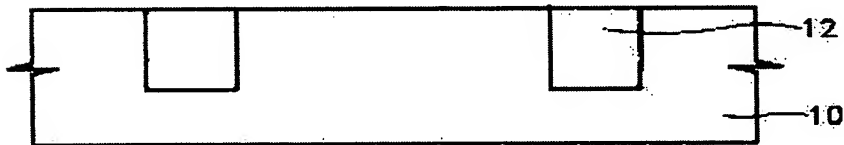
상기 제2 층간절연막 및 제1 층간절연막을 일부 식각하여 캐패시터 콘택을 형성한 후, 스토리지전극, 유전체막 및 플레이트전극으로 이루어진 캐패시터를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

**도면**

**도면1**



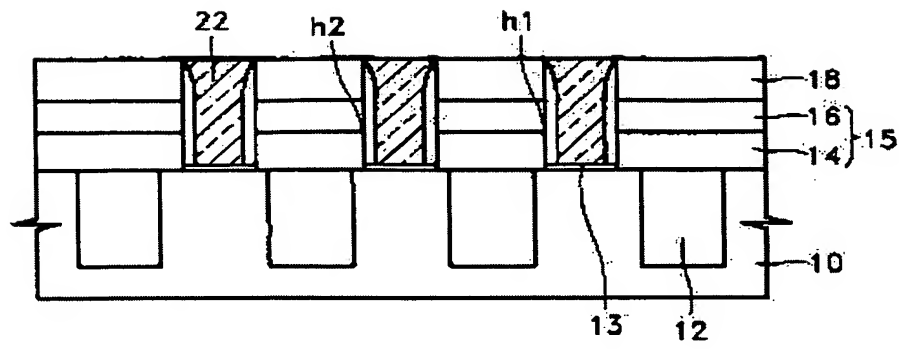
**도면2a**



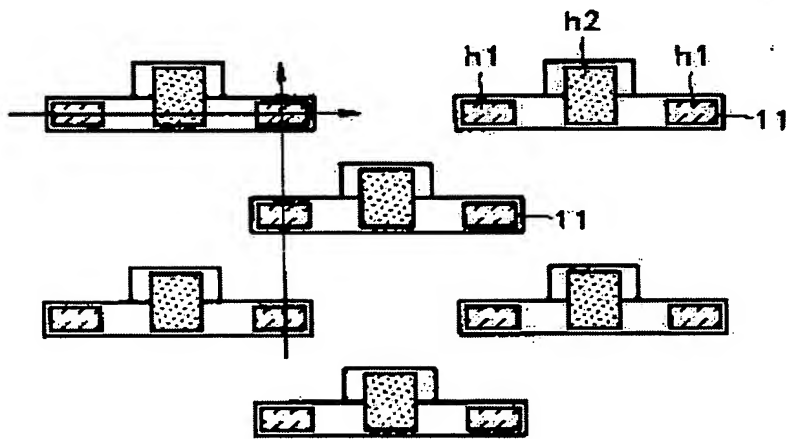
BEST AVAILABLE COPY



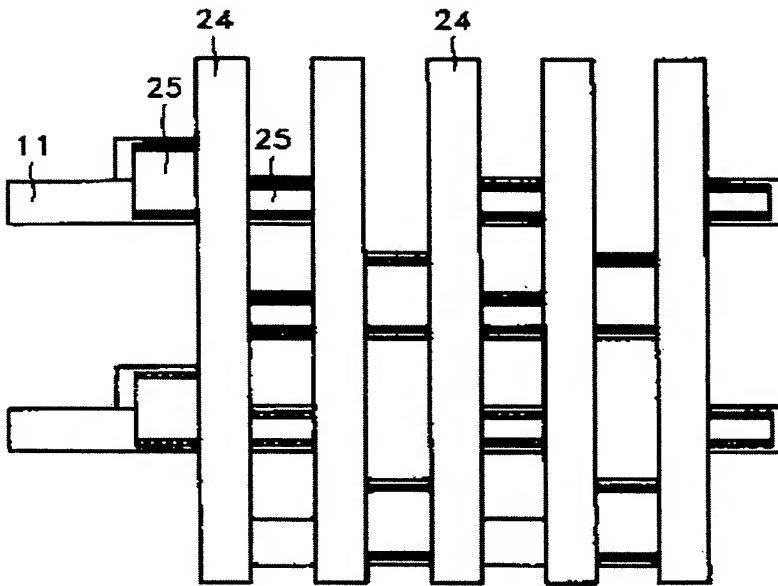
5B4b



**도표 40**



도 85



도 86

